

192 kHz 数字音频接收/转换 (D/A) 电路

产品简述

MS8413 是一款接收并解码、数模转换的数字音频电路，它支持 IEC60958, S/PDIF, EIAJ CP1201 和 AES3 接口标准。模拟部分集成插值滤波器、多 bit 数模转换器、输出模拟滤波器。MS8413 含有数字去加重模块，可以工作在 3.3V 和 5V 下。这些特性使它成为 DVD 播放解码器、数字通信设备等无线设备的理想选择。

MS8413 采用 SSOP28 封装。

主要特点

- 兼容 IEC60958, S/PDIF, EIAJ CP1201 和 AES3 协议
- 3.3V 或 5V 工作电压
- 4:1 S/PDIF 输入多路器
- 32kHz 到 192kHz 的采样频率范围
- 低抖动时钟恢复
- 支持差分或单端输入
- 内置 muti-bit $\Delta \Sigma$ 调制器
- 24bit D/A 转换器
- 输出 105dB 动态范围
- -90dB 总谐波失真+信噪比
- 线性滤波输出
- 片上数字去加重



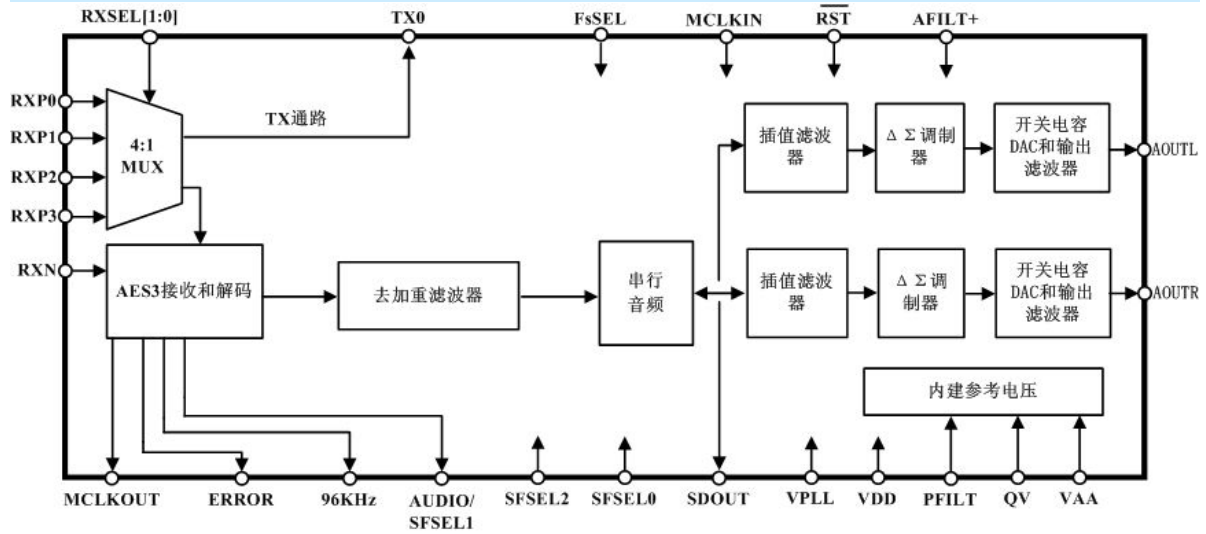
应用

- A/V 接收器
- CD-R, DVD 接收器
- 多媒体音箱
- 数字混频控制台
- 数字音频处理器
- 机顶盒
- 计算机
- 汽车音频系统

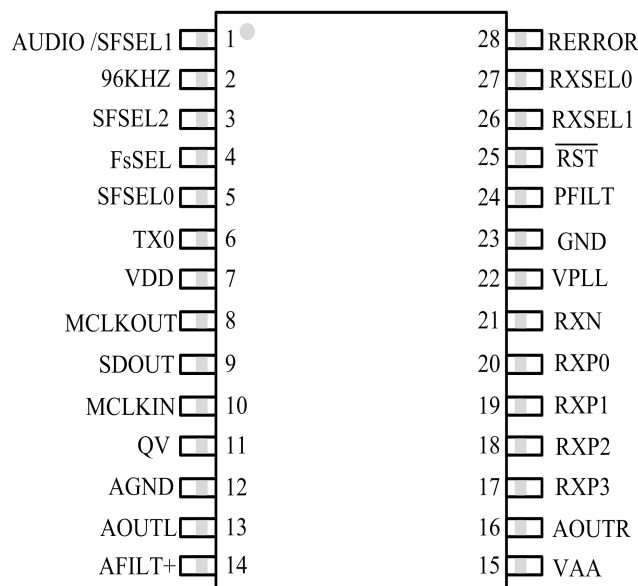
产品规格分类

产品	封装形式	丝印名称
MS8413	SSOP-28	MS8413

内部框图



管脚排列图



管脚描述

管脚名称	管脚号	方向	管脚描述
AUDIO /SFSEL1	1	O/I	工作时：低电平表示 SPDIF 信号是有效的 PCM 信号， 复位时：用来设置内部数据格式，必须通过 47K 电阻下拉到地
96KHz	2	O	工作时：采样速率检测。如果采样速率小于等于 48kHz，则输出“0”；如果采样速率大于等于 88.1kHz，则输出“1”。其他情况输出未知。 复位时：通过 47K 电阻上拉或者下拉来设置数字预加重功能的开启。上拉时开启预加重功能，下拉时关闭预加重功能，数字预加重功能曲线见图以及数字预加重章节
SFSEL2	3	I	设置内部数据格式，必须通过 47K 电阻上拉到 VD。
FsSEL	4	I	通过 47K 电阻上拉到 VD 设置内部 MCLK 的频率=256Fs
SFSEL0	5	I	用来设置内部数据格式，必须通过 47K 电阻上拉到 VD。
TX0	6	O	工作时：固定为 RXP0 的输出 复位时：用来设置内部 PLL，必须通过 47K 电阻下拉到地
VDD	7	P	数字部分电源。
MCLKOUT	8	O	S/PDIF 通过 PLL 恢复的主时钟输出端口。必须和 PIN10 连接
SDOUT	9	O	工作时：串行音频数据输出监视端口 复位时：必须通过 47K 电阻下拉到地。
MCLKIN	10	I	内部 DAC 主时钟输入端口.必须和 PIN8 连接
QV	11	O	内部静态电压的滤波器接口，外接电容。
AGND	12	G	地

AOUTL	13	O	模拟输出 左通道输出端口
AFILT+	14	O	内部 DAC 的正向参考电压，外接电容。
VAA	15	P	模拟电源
AOUTR	16	O	模拟输出 右通道输出端口
RXP3	17	I	S/PDIF 正向输入端——单端或差分接收 S/PDIF 编码的数据。
RXP2	18	I	RXP[3:0]包含了 4 选 1 的 S/PDIF 输入选择器。
RXP1	19	I	可通过管脚 RXPSEL[1:0]选择所需的通道。
RXP0	20	I	不使用的输入端应悬空或接 AGND。
RXN	21	I	S/PDIF 负向输入端——单端或差分接收 S/PDIF 编码的数据。 在单端信号工作时，该管脚应该接一个电容交流耦合到地。 推荐的输入电路详见“外置 SPDIF 接收器”章节。
VPLL	22	P	内部 PLL 电源。+3.3 V。该电源需要保证低噪声，以保证 PLL 的稳定。
GND	23	G	内部 PLL 电源地
PFILT	24	O	PLL 环路滤波器输出端。 该管脚必须连接一个 RC 网络到 PIN23。详见“PLL 滤波器”章节
\overline{RST}	25	I	复位脚——低电平时，MS8413 进入低功耗模式，且内部的所有状态都复位。在上电开始时，RST 必须保持低电平，直到电源电压和所有的输入时钟在频率及相位上稳定
RXSEL1	26	I	多路接收器的选择输入端——选择 RXP[3:0]中的一路作为接收器的输入
RXSEL0	27	I	
ERROR	28	O	接收器错误输出。当接收的 S/PDIF 数据不稳定或者没有 S/PDIF 信号输入时，将输出“1” 必须通过 47K 电阻上拉到 VD

极限参数

(AGND, GND = 0 V, 所有的电压值都是相对于 0V。工作在这些限定的条件下可能会对设备产生永久的损害。正常工作并不保证在这些极限范围内。)

参 数	符 号	最小值	最大值	单位
电源电压	VAA,VDD,VPLL	-	5.5	V
输入电流, 除供电外的任何管脚 (注 1)	I_{in}	-	±10	mA
输入电压	V_{in}	-0.3	(VDD) +0.3	V
工作温度 (供电)	TA	-55	125	°C
存储温度	T_{stg}	-65	150	°C

注:

1. 上升到 100mA 的瞬态电流不会引起 SCR 的栓锁效应。

推荐的工作条件

(AGND, GND = 0 V, 所有的电压值都是相对于 0V。)

参 数	符 号	最小值	典型值	最大值	单位
电源电压	VAA	3.0	3.3 或 5.0	5.25	V
	VDD				
	VPLL				
工作温度	TA	-40	-	+85	°C

电气参数

直流特性:

(AGND, GND = 0 V, 所有的电压值都是相对于 0V。)

参 数	符号	最小值	典型值	最大值	单位	
静态模式 (注 2, 4)						
静态模式下的供电电流	VAA	IAA	-	110	-	μA
	VDD	IDD	-	70	-	μA
	VPLL=3.3V	IPLL	-	10	-	μA
	VPLL=5.0V	IPLL	-	12	-	μA
正常工作 (注 3, 4)						
48kHz 帧速率下的电源电流	VAA	IAA	-	22	-	mA
	VDD	IDD	-	6.9	-	mA
	VPLL=3.3V	IPLL	-	3.8	-	mA
	VPLL=5.0V	IPLL	-	5.2	-	mA
192kHz 帧速率下的电源电流	VAA	IA	-	27	-	mA
	VDD	IDD	-	23	-	mA
	VPLL=3.3V	IL	-	8.8	-	mA
	VPLL=5.0V	IL	-	12.8	-	mA

注:

2. 静态模式是指 $\overline{\text{RST}} = \text{LO}$ 且所有的时钟和数据线保持静态。
3. 正常工作是指 $\overline{\text{RST}} = \text{HI}$ 。
4. 假定没有输入悬空。推荐所有输入在任何时间下都由高或低电平驱动。

数字输入特性:

(AGND, GND = 0 V, 所有的电压值都是相对于 0V。)

参 数	符号	最小值	典型值	最大值	单位
输入漏电流	I_{IN}	-	-	±0.5	μA
差分输入灵敏度, RXP[3:0]到 RXN	V_{TH}	-	150	200	mVpp
输入滞后	V_H	0.15	-	1.0	V

数字输入规格:

(AGND, GND = 0 V, 所有的电压值都是相对于 0V。)

参 数	符号	最小值	最大值	单位
输出高电压 ($I_{OH} = -3.2\text{mA}$)	V_{OH}	(VDD) -1.0	-	V
输出低电压 ($I_{OL} = 3.2\text{mA}$)	V_{OL}	-	0.5	V
输入高电压, 除 RXP[3:0], RXN	V_{IH}	2.0	(VDD) +0.3	V
输入低电压, 除 RXP[3:0], RXN	V_{IL}	-0.3	0.8	V

DAC模拟特性1:

(TA = 25°C, 满幅输出正弦信号, 997Hz, Fs=48/96/192kHz; RL = 3kΩ, CL = 10pF, 测试带宽 10 Hz 至 20kHz。)

参 数			5V			3.3V			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
动态范围	18 to 24 bit	A-weighted	99	105		97	103		dB
		unweighted	96	102		94	100		dB
	16bit	A-weighted	90	96		90	96		dB
		unweighted	87	93		87	93		dB
总谐波失真+噪声	18 to 24 bit	0dB		-90	-85		-90	-85	dB
		-20dB		-82	-76		-80	-74	dB
		-60dB		-42	-36		-40	-34	dB
	16bit	0dB		-90	-84		-90	-84	dB
		-20dB		-73	-67		-73	-67	dB
		-60dB		-33	-27		-33	-27	dB
动态范围	18 to 24 bit	A-weighted	95	105		93	103		dB
		unweighted	92	102		90	100		dB
	16bit	A-weighted	86	96		86	96		dB
		unweighted	83	93		83	93		dB
总谐波失真+噪声	18 to 24 bit	0dB		-90	-82		-90	-82	dB
		-20dB		-82	-72		-80	-70	dB
		-60dB		-42	-32		-40	-30	dB
	16bit	0dB		-90	-82		-90	-82	dB
		-20dB		-73	-63		-73	-63	dB
		-60dB		-33	-23		-33	-23	dB

DAC 模拟特性 2:

参 数	符号	最小值	典型值	最大值	单位
通道隔离度 (1KHz)			100		dB
DAC 精度					
通道间增益匹配误差			0.1	0.25	dB
增益漂移			100		ppm/°C
模拟输出					
满幅度输出电压			0.65•VAA		Vpp
直流电压	VQ		0.5•VAA		VDC
AOUT 端最大直流电流	IOUTmax		10		uA
VQ 端最大电流	IQmax		100		uA
最大 AC 负载电阻(图 20)	RL		3		kΩ
最大负载电容(图 20)	CL		100		pF
输出阻抗	Zout		100		Ω

数字和模拟滤波响应:

参 数	符号	最小值	典型值	最大值	单位
Single-Speed 模式					
通频带	至 -0.1dB 拐点	0	.	0.35	Fs
	至 -3dB 拐点	0		0.4992	Fs
10Hz 到 20KHz 的频率响应			-0.175	+0.01	dB
衰减带			0.5465		Fs
衰减幅度			50		dB
延时		Tgd		10/fs	s
去加重误差	Fs = 32KHZ			+1.5/+0	
	Fs = 44.1KHZ			+0.05/-0.25	
	Fs = 48KHZ			-0.2/-0.4	
Double-Speed 模式					
通频带	至 -0.1dB 拐点	0	.	0.22	Fs
	至 -3dB 拐点	0		0.501	Fs
10Hz 到 20KHz 的频率响应			-0.15	+0.15	dB
衰减带			0.5770		Fs
衰减幅度			55		dB
延时		Tgd		5/fs	s

参 数		符号	最小值	典型值	最大值	单位
Quad-Speed 模式						
通频带	至 -0.1dB 拐点		0	.	0.11	Fs
	至 -3dB 拐点		0		0.469	Fs
10Hz 到 20KHz 的频率响应			-0.12		+0	dB
衰减带			07			Fs
衰减幅度			51			dB
延时		Tgd		2.5/fs		s

转换特性:

(输入: 逻辑 0=0V, 逻辑 1=VDD; CL=20pF)

参 数		符号	最小值	典型值	最大值	单位
RST 管脚低电平脉冲宽度			200	-	-	μs
PLL 时钟恢复的采样速率范围			30	-	200	kHz
MCLKOUT 输出抖动 (注 5)			-	200	-	Ps RMS
MCLKOUT 输出占空比 (注 6)			45	50	55	%
MCLKOUT 输出占空比 (注 7)			50	55	65	%

注:

5. 典型的 RMS 周期性抖动。
6. 时钟由双相编码输入恢复后的占空比。
7. 当 MCLKOUT 作为 MCLKIN 输出时的占空比。

功能描述

1.概述

MS8413是一个单片CMOS芯片，遵循AES3，IEC60953，S/PDIF，和EIAJ CP1201接口标准接收和解码音频并实现模拟转换。MS8413标准的音频采样频率，包括在SSM模式下的48、44.1、32kHz，在DSM模式下的96、88.2、64kHz，在QSM模式下的192、176.4、128kHz。

MS8413采用一个4:1多路复用器选择一个输入，解码并允许通过一个输出管脚输出。输入数据可以是差分或者单端信号。

MS8413具有专用管脚用来选择音频输入解码并传输到专用的TX管脚，也允许访问通道状态和用户数据输出管脚。

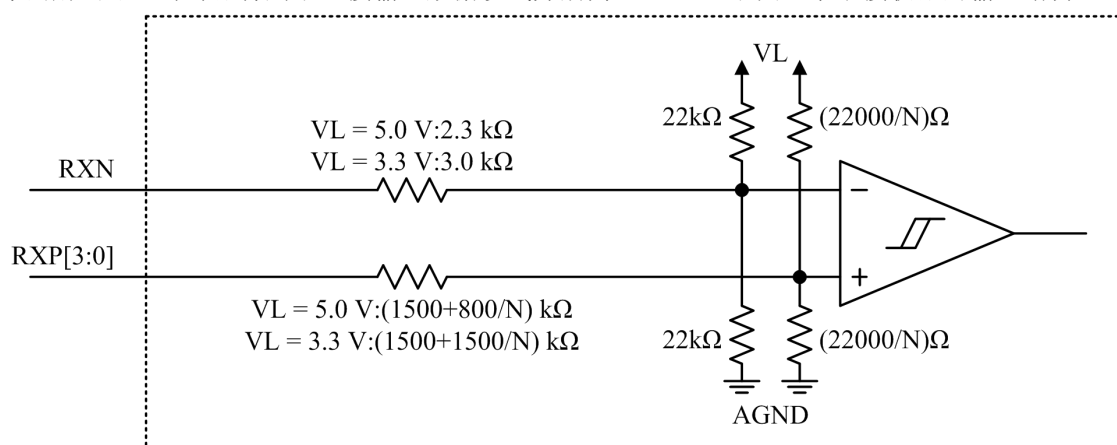
2.AES3和S/PDIF标准文件

我们假设用户已熟悉AES3和S/PDIF数字格式。对于最新的AES3，IEC60958，和IEC61937规格的最新参考内容是适用的。

典型连接图显示了硬件模式下电源和外部连接的MS8413配置。请注意所有I/O管脚，包括RXN和RXP[3:0]，工作在VDD电压下。最新的AES3标准可在www.aes.org或www.ansi.org的音频工程协会和ANSI上获取。从ANSI或国际电技术委员会的www.iec.ch上获取最新的IEC60958/61937信息。在日本电子局可获取最新的EIAJ CP-1201标准。

3.AES3和S/PDIF数字音频接收器

MS8413包含了一个AES3/SPDIF数字音频接收器。遵循AES3，IEC60958（S/PDIF），和EIAJ CP-1201接口标准，接收器接收和解码双相编码音频数据。接收器由一个模拟差分输入级（驱动模拟输入管脚RXN和RXP[3:0]），一个基于时钟恢复的PLL电路，和一个用于把音频数据从通道状态和用户数据中分离出来的解码器。外部器件用于连接输入数据缆线并隔离MS8413。下图显示了接收器的输入结构。



If RXP[3:0] is selected by either the receiver MUX or the TX passthrough MUX, N=1.
 If RXP[3:0] is selected by both the receiver MUX and the TX passthrough MUX, N=2.
 If RXP[3:0] is not selected at all, N=0 (i.e. high impedance).

MS8413采用一个4:1 S/PDIF输入多路选择器，最多可容纳4通道的输入数字音频数据。数字音频数据可以是单端或差分的。差分输入利用RXP[3:0]和一个共用的RXN。单端信号通过RXP[3:0]输入并将RXN交流耦合到地。

MS8413中4:1 S/PDIF输入多路选择器的所有有效输入都应通过一个电容耦合进入。当输入不用时应悬空。若不使用多路选择器，输入应悬空状态或接到AGND。推荐电容值为0.01 μ F-0.1 μ F。用于交流耦合电容器的电介质推荐使用C0G或X7R。

输入多路选择器的输入电压范围由I/O供电电压管脚VDD确定。RXP[3:0]和RXN管脚的输入电压范围也由VDD电压确定。输入电压高于VDD或低于GND会降低性能或损坏元件。

4.硬件模式

在硬件模式中，输入的信号由管脚RXSEL[1:0]选择。

接收器的可选择输入被限制在RXPO-RXP3，由RXSEL[1:0]。

选择方式如下：

RXSEL1=0，RXSEL0=0，选择RXPO：

RXSEL1=0，RXSEL0=1，选择RXP1：

RXSEL1=1，RXSEL0=0，选择RXP2：

RXSEL1=1，RXSEL0=1，选择RXP3：

5.时钟恢复和PLL滤波器

详见“PLL滤波器”的描述，所推荐PLL滤波器元件的选择和布局考虑。

6.错误和状态报告

在解码双相编码数据流输入时，MS8413可以鉴别各种错误。

在硬件模式下，用户可以通过对NV/RERR管脚上拉至高电平或低电平选择无效接收器错误（NVERR）或接收器错误（RERR）。上电时会检查管脚的上拉/下拉状态，且相应的错误位会被设置。

RERR - 在当前采样过程中，如果有效位是高电平，或奇偶检查，双相编码，可靠性或PLL锁定错误产生，保持先前的音频采样数据且通过串行音频输出端口。

NVERR - 在当前采样过程中，如果奇偶检查，双相编码，可靠性或PLL锁定错误产生，保持先前的音频采样且通过串行音频输出端口。

7.非音频检测

AES3数据流可用于传输非音频数据。因此输入的AES3数据流是否是数字音频非常重要。这个信息典型地传输在通道状态位1。然而，如AC-3TM或MPEG编码器的确切非音频源不遵循该规定，且位不会被正确地设置。MS8413的AES3接收器使用自动检测系统可检测出非音频数据。

如果AES3数据流包含了IEC61937或DTS数据传输的专用格式中的同步码，将会出现一个内部的自动

检测信号。如果一段时间后同步码不再出现，自动检测系统将会中断，且检测信号会持续到另一种格式被检测。

在硬件模式， $\overline{\text{AUDIO}}$ 是管脚15上的输出。如果检测到非音频数据，数据仍会如同音频数据一样正确处理。有一个特例是，如果输入数据流是非音频数据，利用去加重音自动选择功能将会略过加重滤波器。如有需要，用户可用此使输出静音。

8.通道状态和用户数据

在硬件模式，接收到的通道状态（C），和用户位（U）分别在5和4管脚输出。

9.AES3接收器的外部元件

MS8413的AES3接收器用于专消费者和消费者模式接口。使用专家的数字音频规格需要一个对称的接收器，使用带 $110\Omega \pm 20\%$ 阻抗的XLR连接器。在接收器上的XLR连接器需有带阳极外壳的阴极管脚。由于接收器有非常高的输入阻抗，接收器的末端应放置一个 110Ω 的电阻以匹配导线阻抗，如图1和2所示。尽管AES没有规定变压器，但强烈推荐使用变压器。

如需在使用变压器时隔离，一个 $0.01\mu\text{F}$ 的电容应串联在每个输入管脚（RXPO和RXN），如图2所示。当不使用变压器时，由于高频能量会耦合到接收器，导致模拟性能的降低。

图1和2显示了一个可选择的（推荐）直流隔离电容（ $0.1\mu\text{F}$ - $0.47\mu\text{F}$ ）串联在电缆输入。如果在电缆中存在直流电压，该电容可以改善接收器的可靠性，防止变压器饱和，隔离直流电流。

在消费者模式接口中，需要一个阻抗为 $75\Omega \pm 5\%$ 接收器的不平衡的电路。消费者格式接口的连接器是一个RCA声音插口。图3显示了接收器电路。图4显示了使用消费者接口的S/PDIF多路选择器输入电路。

在使用外置RS422接收器，光学接收器或其它TTL/CMOS逻辑输出驱动MS8413接收器部分时，应使用图5中的电路。

在系统结构中，使用地环路和避免直流电流击穿电缆的屏蔽层是非常重要的，因为这会避免不同隔离的地连接在一起。通常地推荐将传输单元底板的屏蔽层接地，且通过电容连接屏蔽层到接收器的底板地。然而，在某些情况下，它却有利于两个接地的装置保持在相同电位，且可依据电缆屏蔽层关闭电路连接。通常地情况下推荐接地或电容耦合到底板的屏蔽层。

10.隔离变压器的要求

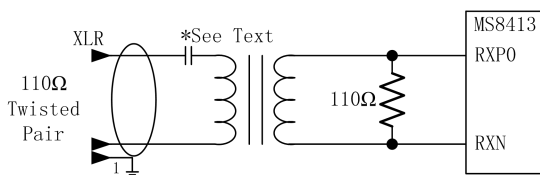


图 1.110 欧姆平衡传输（带变压器隔离）

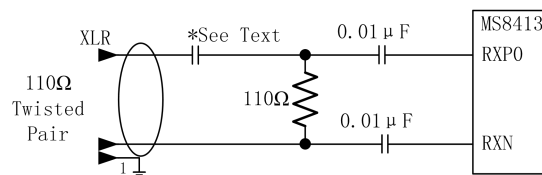


图 2.110 欧姆平衡传输

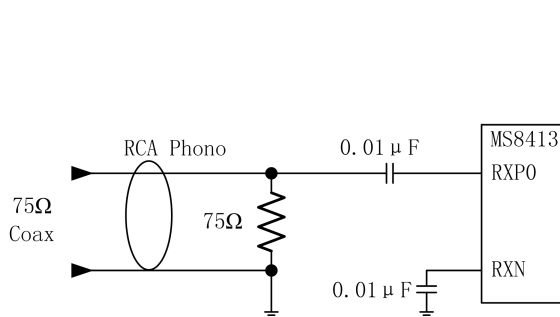


图 3.75 欧姆同轴电缆输入

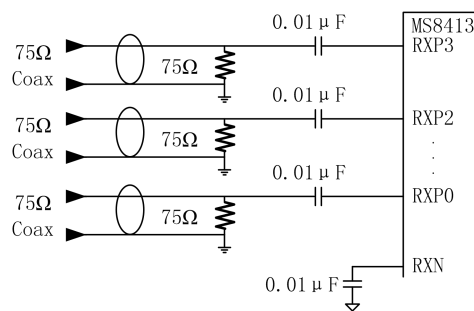


图 4.5/PDIF 多路复用器输入电路

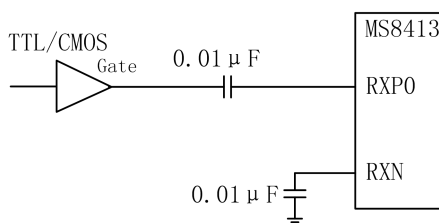
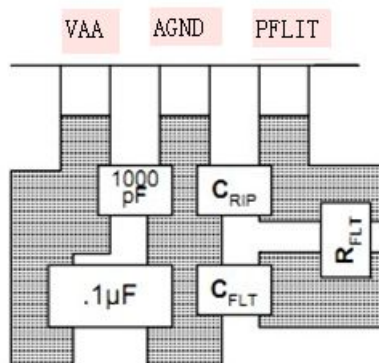


图 5.TTL/CMOS 输入电路

11.PLL滤波器

电路板布局和电容的选择两者互相影响，且决定了PLL的性能。下图包含了PLL滤波器元件和模拟电源旁路的一种推荐布局。0.1μF旁路电容具有1206形式的系数。RFLT, CFLT, CRIP, 1000pF的去耦合电容具有0805形式的系数。连接线在电路板的顶层表面，因此没有通路电感。非常短的连接线使得滤波器通路中的电感减到最小值。VAA和AGND的连接线向后延长到各自的起点，且在电路板中只显示为截断的形式。



布局推荐示例

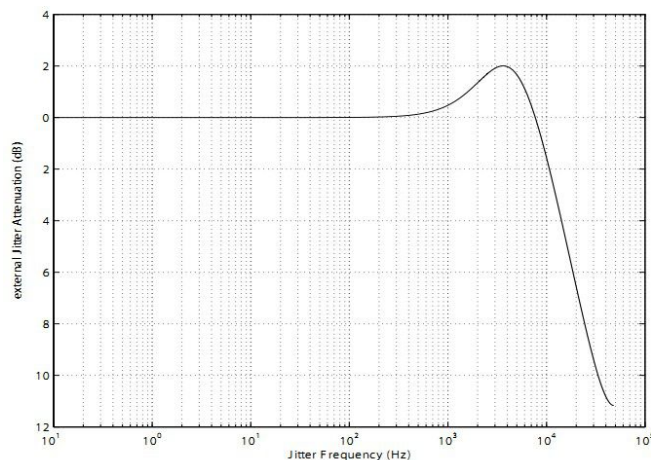
表2列出了PLL外部器件值。

表2.PLL外部器件值

范围 (kHz)	R _{FLT}	C _{FLT}	C _{RIP}	稳定时间
32 - 192	2kΩ	22nF	1nF	4ms

12. 抖动衰减

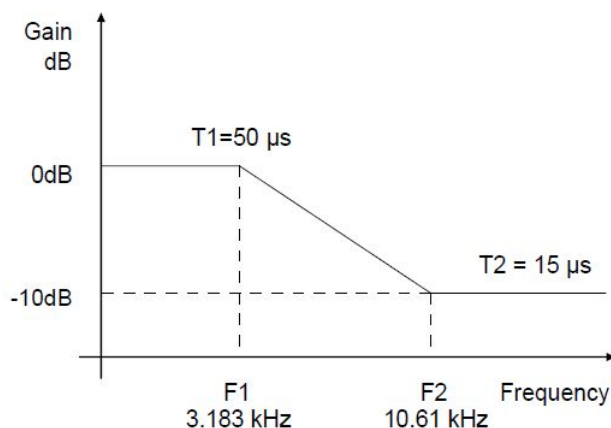
下图是抖动衰减曲线图。AES3和IEC60958-4协议规定了最大2dB的抖动增益或脉冲尖峰。



PLL的抖动衰减特性曲线

13. 去加重

MS8413含有片上数字去加重功能，下图显示了在Fs为44.1kHz时的去加重曲线。



14. 模拟输出初始化和Power-Down

当系统初始上电后就进入power-down状态，此时插值滤波器和 $\Delta\Sigma$ 调制器复位，内部参考电压、数模转换器、开关电容滤波器、低通滤波器被关闭，直到系统检测到MCLKIN时钟。然后给内部参考电压上电，最后才给数模转换器、开关电容滤波器上电，而输出端输出静态电压VQ。

14.1 输出瞬态控制

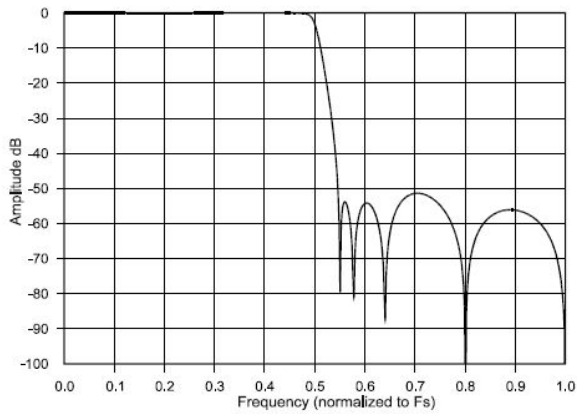
MS8413采用Popguard技术来减小上电和下电时的瞬态响应。

上电：当系统初始上电时，输出端的直流电平就由VQ端提供，此时VQ端为低电平。当MCLKIN检测到后，VQ端就产生正常的直流电压。当VQ端接3.3 μ F电容时，这个过程需250ms(10 μ F电容需420ms)。

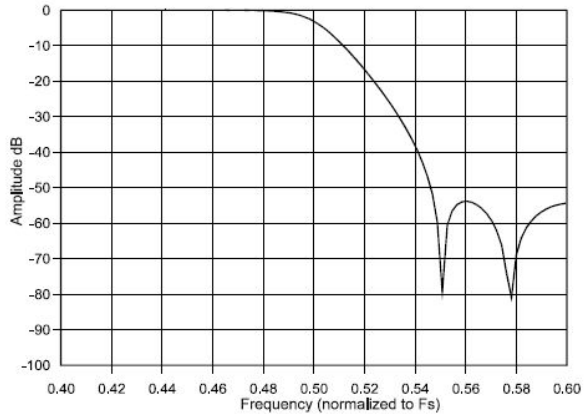
为了防止在下电时产生瞬态脉冲，在下电前必须是直流缓冲电容完全放电。当VQ端外接3.3uF电容时，MCLKIN必须在下电前250ms停止(10uF电容需420ms)，在这段时间内VQ端和输出端逐渐下降到GND。

14.2 模拟输出与滤波

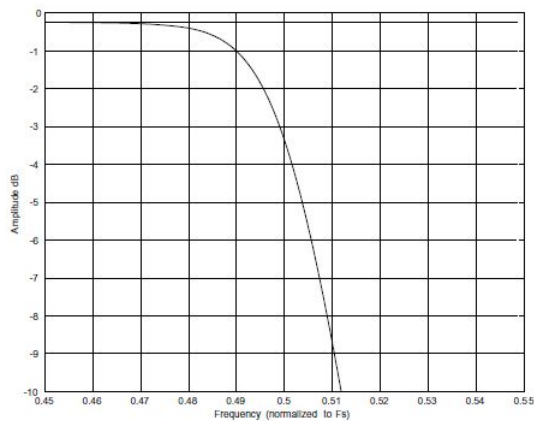
MS8413的模拟滤波器是一个连接着低通滤波器的开关电容滤波器。它的频率响应图见下图表。



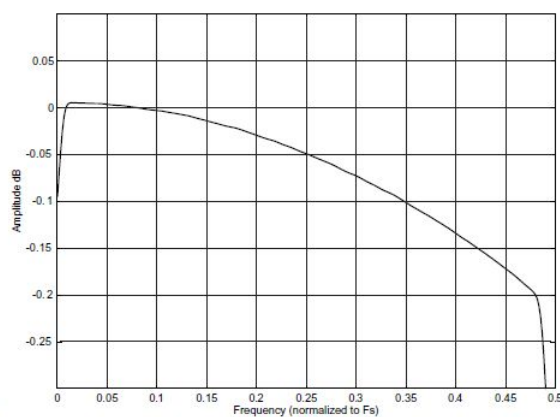
SSM 阻带衰减图



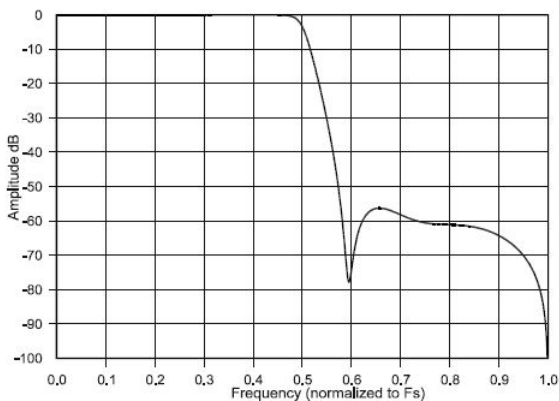
SSM 传输带宽图



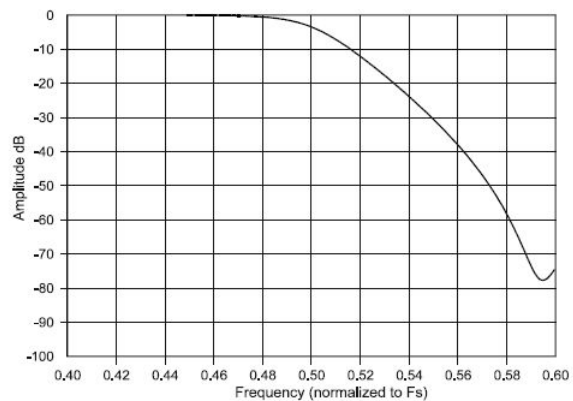
SSM 传输带宽图



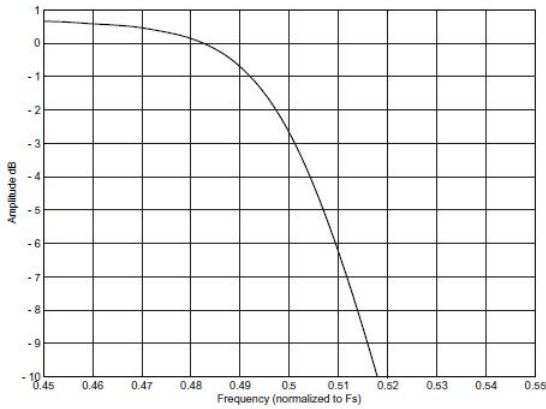
SSM 通带纹波图



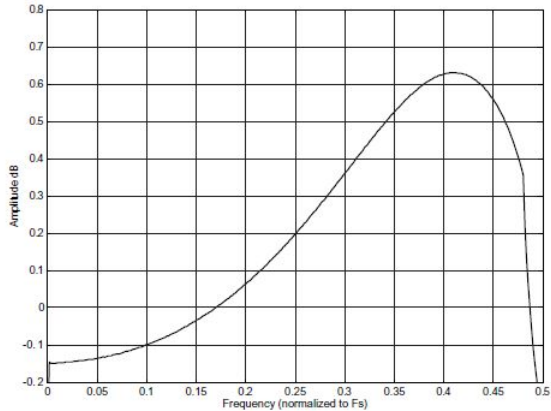
DSM 阻带衰减图



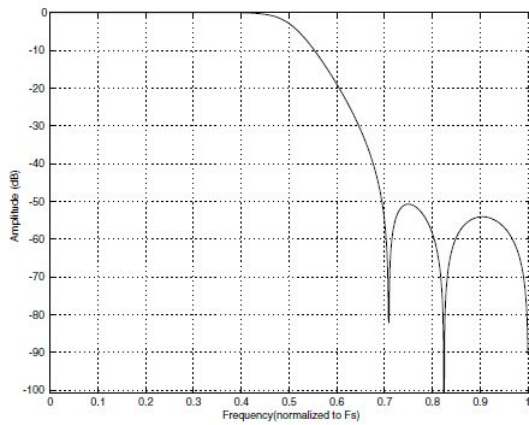
DSM 传输带宽图



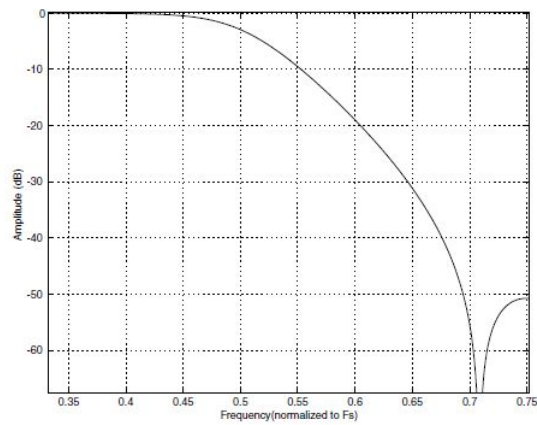
DSM 传输带宽图



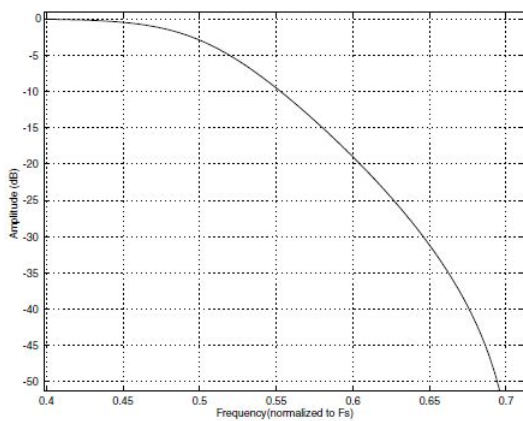
DSM 通带纹波图



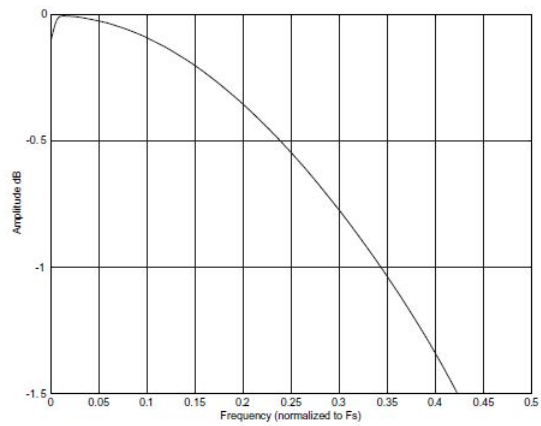
QSM 阻带衰减图



QSM 传输带宽图



QSM 传输带宽图



QSM 通带纹波图

15.应用

15.1 复位, 上电和启动

当 $\overline{\text{RST}}$ 为低电平时, MS8413 进入低功耗模式, 内部所有的状态复位, 包括数字接口和寄存器, 且输出静音。在 PLL 锁定后, 使能串行音频输出端。

MS8413中的一些设置由启动结构控制。在复位过程中，一些管脚被重新设置为输入。在退出复位状态的瞬间，检测这些管脚的电平，然后管脚将转变成输出。可以将管脚通过一个47kΩ的电阻连接到VDD(HI)或GND(LO)，来进行模式选择。对于每种模式，由于每个启动选择管脚没有内部的上拉或下拉电阻，因此必须接一个外部上拉或下拉电阻（除了TX，它有一个内置下拉电阻）。

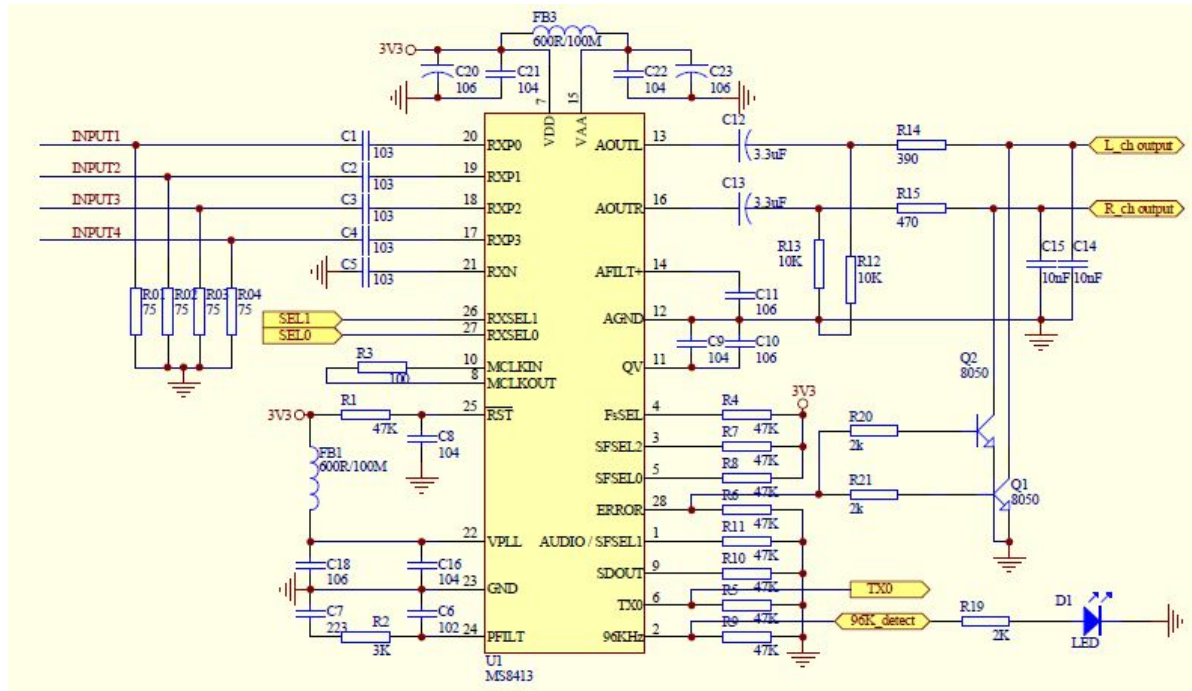
15.2 供电电源，地，PCB布局

对于大部分应用，MS8413可在一个单独的+3.3V供电电源下工作，包含标准电源去耦合部分。由于RMCK管脚上输出的恢复输入时钟部分需要较低的抖动，因此使用一个独立稳定的模拟+3.3V电源VAA，和去耦合到AGND。确保没有数字路径在VAA，AGND或FILT上，因为噪音耦合会降低性能。这些管脚需要隔离开关信号和其他噪音源。

VDD固定数字输入和输出电平和AES/SPDIF接收器的输入电平一样。

推荐在未使用区域填满地层和在表面放去耦合电容。去耦合电容需放置在PCB板的同一边，使MS8413的电感效应最低，且所有去耦合电容必须尽可能的靠近MS8413。

典型应用图



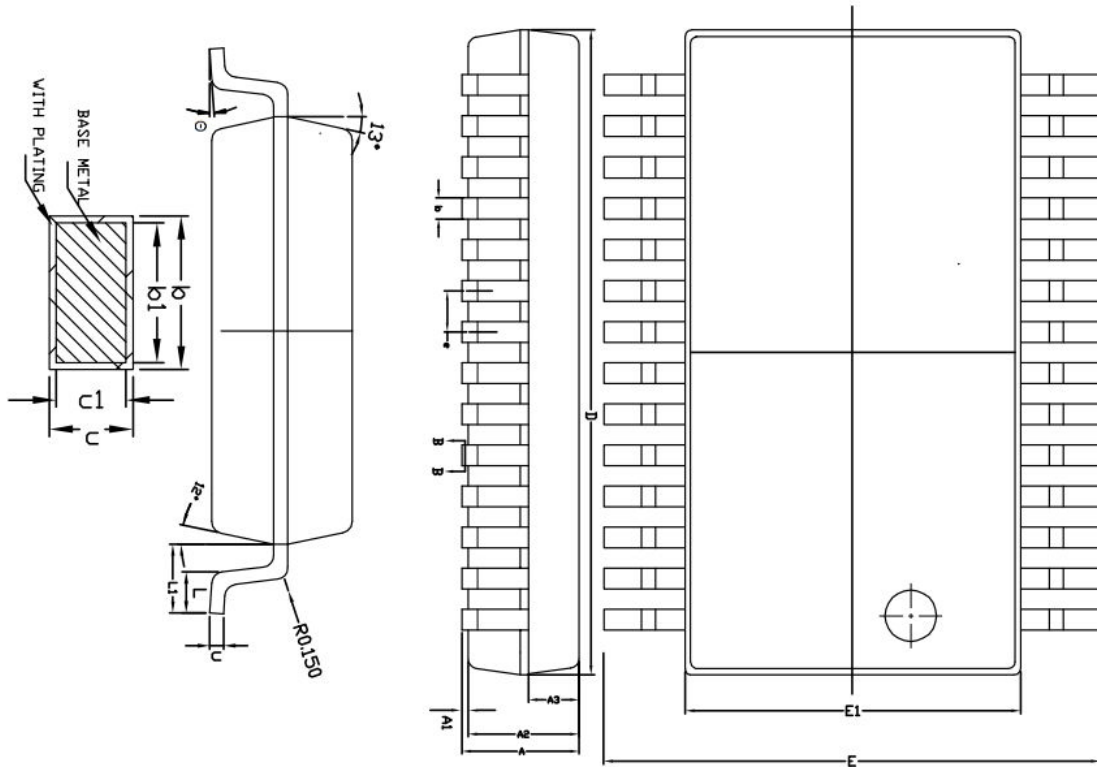
典型连接图

当MCLK工作在对抖动敏感的应用时，需要一个单独的模拟电源。而当MCLK工作在对抖动不敏感的应用时，连接VAA和VDD，并保留VAA和AGND之间的去耦合电容。典型的输入结构和推荐的输入电路见“S/PDIF接收器”和“外部AES3/SPDIF/IEC60958接收器器件”。

为得到最佳的抖动性能，滤波器的地直接连接到AGND管脚。见表2的PLL滤波器值。

封装外形图

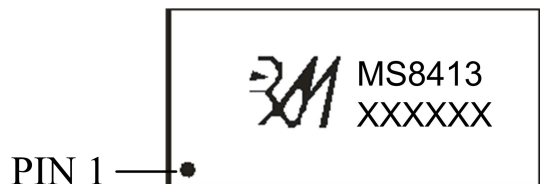
SSOP28:



DIM SYMBOL	MIN.	NOM.	MAX.
A	-	-	2.00
A1	0.05	-	0.25
A2	1.65	1.75	1.85
A3	0.75	0.80	0.85
b	0.29	-	0.37
b1	0.28	0.30	0.33
c	0.15	-	0.20
c1	0.14	0.15	0.16
D	10.00	10.20	10.40
E	7.60	7.80	8.00
E1	5.10	5.30	5.50
e	0.65BSC		
L	0.55	0.75	0.95
L1	1.25BSC		
θ	0°	-	8°

印章与包装规范

一、印章内容介绍



产品正面

MS8413: 产品型号

XXXXXX: 生产批号

二、印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

三、包装说明

型号	封装形式	只/卷	卷/盒	只/盒	盒/箱	只/箱
MS8413	SSOP28	2000	1	2000	8	16000



MOS电路操作注意事项:

静电在很多地方都会产生, 采取下面的预防措施, 可以有效防止MOS电路由于受静电放电的影响而引起的损坏:

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。